

1) Nach dem Einschalten sind die Zähler in einem undefinierten Zustand und müssen zurückgesetzt werden, was durch die C1 und R1 erfolgt.  
 - Nach dem Einschalten ist die Spannung zwischen R1 und C1 auf Vcc und dieser High wird über das ODER-Gatter an den Reset Eingang des 1. Zählers gurchgeschal

t damit das ODER-Gatter für den

ursprünglichen Reset "frei"

- IC1 setzt seine Q9 auf Low
- "blockiert" somit das UND-Gatter und somit die Takt weiterschaltung an IC2
- gibt an "sich selber" den Takt an seinem CE-Pin frei
- Wenn C1 entsprechend aufgeladen ist, ist die Spannung am Eingang des ODER-Gatters Low und der Reset wird damit weggenommen und die Schaltung kann zählen.

2) Bei jeder steigenden Flanke des Clock schaltet IC1 einen Ausgang weiter.

- Der Clock kommt nicht an den Eingang von IC2, da Q9 von IC1 Low ist und mit dem UND-Gatter den Clock für IC2 blockiert.

3) Jetzt wird Q9 von IC1 High und

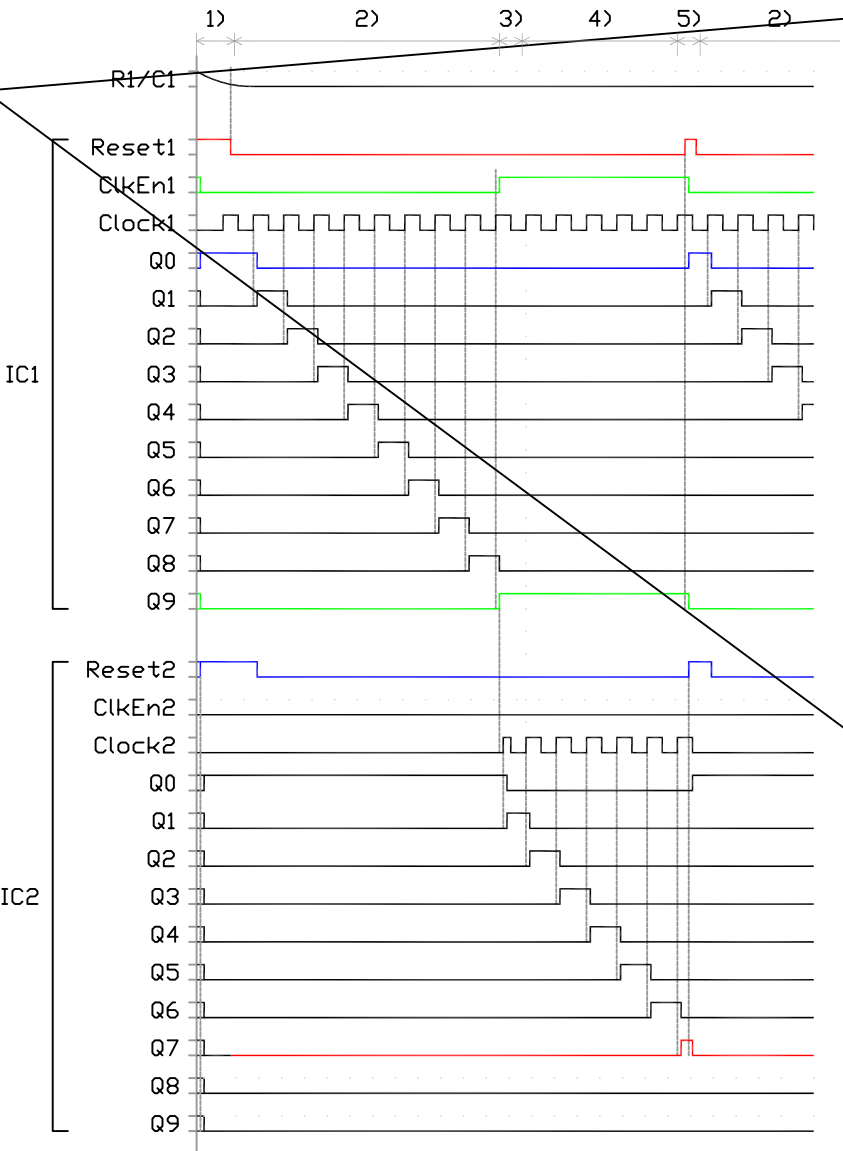
- blockiert sich selber (IC1) ein weiterschalten, weil CE (Clock Enable) High wird
- setzt damit den 2. Eingang des UND-Gatters auf High
- da der 1. Eingang des UND-Gatters durch den Clock noch auf High ist, wird der Ausgang des UND-Gatters High
- durch die positive Flanke am Ausgang des UND-Gatters, wird IC2 um einen Ausgang, also auf Q1, weitergeschaltet

4) Nun ist der Clock für IC2 frei und es schaltet seine Ausgänge bei jeder steigenden Flanke des Clock weiter

- IC1 ist immer noch duch das High an IC1-Q9 blockiert

5) Jetzt wird es spannend ;-> Wenn Spalte 15 aktiv ist (IC2-Q6) wird bei der steigenden Flanke IC2-Q7 aktiv.

- Damit wird, über das ODER-Gatter, der Reset von IC1 aktiviert.
- Dadurch wird der Q0 von IC1 wieder auf High gesetzt.
- Damit ist der Reset von IC2 aktiv
- IC2-Q0 wird aktiv
- IC2-Q7 wird zurückgesetzt und damit auch der Reset von IC1
- Dadurch wird der Q9 von IC1 wieder auf Low gesetzt.
- Der Takt für IC1 wird wieder freigegeben
- Der Takt für IC2, über das UND-Gatter, wieder blockiert
- Somit sind wir wieder oben bei 2) angelangt und das "läuft im Kreis"



Anmerkung : Die Durchlaufzeiten durch die Gatter und die Verzögerung der Zähler sind in dem Diagramm extrem verlängert, im Gegensatz zu der Periodendauer des Clocks, dargestellt. Damit erscheinen die Impulse, wie z.b. an IC1-Q0, sehr verzerrt. In Realität sind die Verzögerungszeiten so gering, dass sie in der aufgebauten Schaltung gar nicht bemerkt werden.